

PATENT OFFICE
JAPANESE GOVERNMENT



#3

This is to certify that the annexed is a true copy
of the following application as filed with this office.

Date of Application: February 8, 2000

Application Number: Japanese Patent Application
No. 2000-030803

Applicant(s) FUJITSU LIMITED

January 5, 2001

Commissioner,
Patent Office

Kouzo Oikawa (Seal)

Certificate No.2000-3109956

日本国特許庁
PATENT OFFICE
JAPANESE GOVERNMENT

OLD S. N. 9966
66844/60
02/07/01
JC996

別紙添付の書類に記載されている事項は下記の出願書類に記載されて
いる事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed
with this Office.

出願年月日

Date of Application:

2000年 2月 8日

願番号

Application Number:

特願2000-030803

願人

Applicant(s):

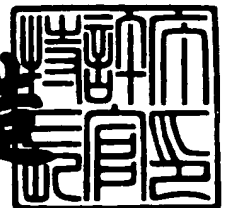
富士通株式会社

CERTIFIED COPY OF
PRIORITY DOCUMENT

2001年 1月 5日

特許庁長官
Commissioner,
Patent Office

及川耕造



出証番号 出証特2000-3109956

【書類名】 特許願

【整理番号】 9903237

【提出日】 平成12年 2月 8日

【あて先】 特許庁長官 近藤 隆彦 殿

【国際特許分類】 H01L 27/00
H04L 13/10

【発明の名称】 入力回路及びその入力回路を利用する半導体装置

【請求項の数】 9

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

【氏名】 金指 和幸

【特許出願人】

【識別番号】 000005223

【氏名又は名称】 富士通株式会社

【代理人】

【識別番号】 100070150

【住所又は居所】 東京都渋谷区恵比寿4丁目20番3号 恵比寿ガーデンプレイスタワー32階

【弁理士】

【氏名又は名称】 伊東 忠彦

【電話番号】 03-5424-2511

【手数料の表示】

【予納台帳番号】 002989

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9704678

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 入力回路及びその入力回路を利用する半導体装置

【特許請求の範囲】

【請求項 1】 入力されるシリアルデータを n ビットの平行データに変換し、その平行データをアドレス信号に従って出力する入力回路において、
前記入力されるシリアルデータを順次シフトするデータシフト手段と、
前記アドレス信号に従って、シリアルデータを入力する前記データシフト手段の段を選択する選択手段と
を有する入力回路。

【請求項 2】 前記データシフト手段は、 $2n - 1$ 個の段を有し、前記選択手段の選択に従ってシリアルデータを入力する段を選択することを特徴とする請求項 1 記載の入力回路。

【請求項 3】 前記データシフト手段は、
前記シリアルデータが格納されている n 個の段の出力と、前記シリアルデータが格納されていない $n - 1$ 個の段の出力とを論理演算し、前記アドレス信号に従った n ビットの平行データに変換することを特徴とする請求項 2 記載の入力回路。

【請求項 4】 前記データシフト手段は、 n 個の段で構成され、 n 段目に格納されているデータを 1 段目にシフトするフィードバック構造を有し、
前記選択手段の選択に従ってシリアルデータを入力する段を選択することを特徴とする請求項 1 記載の入力回路。

【請求項 5】 前記データシフト手段は、前記アドレス信号に従ってシリアルデータを入力する段を選択することで前記 n ビットのシリアルデータが入力されている n 個の段の出力が、前記アドレスに従った平行データに変換されていることを特徴とする請求項 4 記載の入力回路。

【請求項 6】 前記シリアルデータは、 n ビットを一単位とし、前記アドレス信号に従って各ビットのデータの出力先が決定されていることを特徴とする請求項 3 又は 5 記載の入力回路。

【請求項 7】 前記データシフト手段は、

前記選択手段の選択に従って制御される複数のスイッチング手段と、
前記入力されるシリアルデータを格納する複数のデータ保持手段とを有し、
前記複数のスイッチング手段を制御することにより前記複数のデータ保持手段から前記シリアルデータを入力する段を選択することを特徴とする請求項 1 記載の入力回路。

【請求項 8】 入力されるシリアルデータを n ビットの平行データに変換し、その平行データをアドレス信号に従って出力する入力回路を有する半導体装置において、

前記入力されるシリアルデータを順次シフトするデータシフト手段と、
前記アドレス信号に従って、シリアルデータを入力する前記データシフト手段の段を選択する選択手段と
を有する半導体装置。

【請求項 9】 前記データシフト手段は、前記選択手段の選択に従って制御される複数のスイッチング手段と、

前記入力されるシリアルデータを格納する複数のデータ保持手段とを有し、
前記複数のスイッチング手段を制御することにより前記複数のデータ保持手段から前記シリアルデータを入力する段を選択することを特徴とする請求項 8 記載の半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、入力回路及びその入力回路を利用する半導体装置に係り、特に、クロックに同期してシリアルデータを供給され、そのシリアルデータを平行データに変換する入力回路及びその入力回路を利用する半導体装置に関する。

【0002】

【従来の技術】

例えば、半導体装置は、外部から供給されるシリアルデータを平行データに変換し、その平行データをアドレス信号に従ってデータバスに出力する入力回路を有することがある。この入力回路は、1つのコマンド信号に対応して供

給される1つのアドレス信号から複数のアドレス信号を生成し、そのアドレス信号に従ってパラレルデータをデータバスに出力する。

【0003】

図1は、入力回路100の一例の構成図を示す。また、図2は入力回路100の動作を説明する図を示す。なお、図1及び図2は、一例として外部クロック周波数の2倍の周波数でデータを供給されるDDR (Double Data Rate) 方式について記載している。

【0004】

まず、図2 (A) に示すように、ライトコマンドと共にアドレス信号A2が供給される。ここで、アドレス信号A2は、アドレス下位2ビットの組み合わせに対応したものであり、例えばアドレス下位2ビット (Y1, Y0) の組み合わせにより表現される4つのアドレス信号A0～A3のうちの一つである。

【0005】

なお、ライトコマンドと共に供給されたアドレス信号A2は、引き続き供給される4つのデータがA2, A3, A0, A1の順番に入力されることを示すものである。

【0006】

続いて、内部クロックCLK1の周波数でデータがA2, A3, A0, A1の順番で入力バッファ110を介してシフトレジスタ120に供給される。このときのシフトレジスタ120の動作は、図2 (B) に示すように、入力されたデータを順次シフトする。

【0007】

例えば、ライトコマンドと共に供給されたアドレス信号がA2である場合、シフトレジスタ120のN0にはデータA2, N1にはA3, N2にはA0, N3にはA1が夫々格納される。

【0008】

シフトレジスタ120のN0～N3はデータスイッチ部130に含まれるスイッチ131～スイッチ134に夫々接続されており、スイッチ131～134を介してデータバスA0～A3に接続されている。そして、スイッチ131～13

4 を、供給されるアドレス信号に従って制御することにより、供給されたデータを対応するデータバスに出力していた。

【 0 0 0 9 】

例えば、図 2 (C) に示すように、ライトコマンドと共に供給されたアドレス信号が A 2 である場合、シフトレジスタ 1 2 0 の N O とデータバス A 2, N 1 とデータバス A 3, N 2 とデータバス A 0, N 3 とデータバス A 1 とが接続されることになる。

【 0 0 1 0 】

このように、アドレスの下位 2 ビットの組み合わせに対応した 4 個のアドレス信号（例えば、A 0 ～ A 3）を一組とし、入力される 4 個のデータの順番（例えば、A 2, A 3, A 0, A 1）を自動的に認識して、対応するデータバスにデータを出力する動作を 4 N 動作という。

【 0 0 1 1 】

図 3 は、入力回路 2 0 0 の一例の構成図を示す。また、図 4 は入力回路 2 0 0 の動作を説明する図を示す。図 3 の入力回路 3 0 0 は、4 個のデータ A 0 ～ A 3 に対応して 4 個の取り込みバッファ 1 4 0 ～ 1 4 3 を設け、その取り込みバッファ 1 4 0 ～ 1 4 3 に供給するデータ取り込み用クロックを制御することにより 4 N 動作を実現している。

【 0 0 1 2 】

まず、図 4 (A) に示すように、ライトコマンドと共にアドレス信号 A 2 が供給される。アドレスカウンタ 1 5 0 は、そのアドレス信号 A 2 に従って、図 4 (B) に示すようにデータ取り込み用クロック①～④を発生し、取り込みバッファ 1 4 0 ～ 1 4 3 に夫々供給する。

【 0 0 1 3 】

ここで、データ取り込み用クロック①は取り込みバッファ 1 4 0, データ取り込み用クロック②は取り込みバッファ 1 4 1, データ取り込み用クロック③は取り込みバッファ 1 4 2, データ取り込み用クロック④は取り込みバッファ 1 4 3 に夫々供給されている。

【 0 0 1 4 】

取り込みバッファ140～143はデータ取り込み用クロック①～④のタイミングでデータを取り込むので、図4（C）に示すようにデータA0～A3を取り込む。そして、図4（C）に示すように、取り込みバッファ140～143は、供給されたデータA0～A3を対応するデータバスA0～A3に出力していた。

【0015】

【発明が解決しようとする課題】

しかしながら、図1の入力回路100は、データスイッチ部130を多数のスイッチで構成する必要があった。

【0016】

例えば、アドレスの下位 n ビットの組み合わせに対応した 2^n 個のアドレス信号を一組とし、入力される 2^n 個のデータの順番を自動的に認識して、対応するデータバスにデータを出力する場合、データスイッチ部130は $(2^n)^2$ 個（例えば4N動作の場合、 4^2 個）のスイッチを必要とした。

【0017】

したがって、回路面積が増大し、更に回路構成が複雑になるという問題があった。

【0018】

また、図3の入力回路200は、データ取り込み用クロックを最高周波数で発生する必要がある。しかし、データ取り込み用クロックはアドレスカウンタ150等の論理回路で生成する必要がある、高速化が困難であるという問題があった。

【0019】

本発明は、上記の点に鑑みなされたもので、回路を縮小且つ単純化することができ、高速化に対応することが可能な入力回路及びその入力回路を利用する半導体装置を提供することを目的とする。

【0020】

【課題を解決するための手段】

そこで、上記課題を解決するため、請求項1記載の入力回路は、入力されるシリアルデータを n ビットの平行ルデータに変換し、その平行ルデータをアド

レス信号に従って出力する入力回路において、前記入力されるシリアルデータを順次シフトするデータシフト手段（例えば、図 5 におけるシフトレジスタ 14）と、前記アドレス信号に従って、シリアルデータを入力する前記データシフト手段の段を選択する選択手段（例えば、図 5 における入力ポイントセクタ 12）とを有することを特徴とする。

【 0 0 2 1 】

このように、アドレス信号に従って、データシフト手段にシリアルデータを入力する段を選択できることにより、供給されるシリアルデータをパラレルデータに変換して対応するデータバス等に出力することが可能である。

【 0 0 2 2 】

また、請求項 2 記載の入力回路は、前記データシフト手段は、 $2n - 1$ 個の段を有し、前記選択手段の選択に従ってシリアルデータを入力する段を選択することを特徴とする。

【 0 0 2 3 】

このように、データシフト手段を $2n - 1$ 個の段で構成し、その段からシリアルデータを入力する段を選択することにより、供給されるシリアルデータをパラレルデータに変換して対応するデータバス等に出力することが可能である。

【 0 0 2 4 】

また、請求項 3 記載の入力回路は、前記データシフト手段は、前記シリアルデータが格納されている n 個の段の出力と、前記シリアルデータが格納されていない $n - 1$ 個の段の出力とを論理演算し、前記アドレス信号に従った n ビットのパラレルデータに変換することを特徴とする。

【 0 0 2 5 】

データシフト手段を $2n - 1$ 個の段で構成すると、シリアルデータが格納されていない段ができるので、シリアルデータが格納されている段と格納されていない段とで所定の論理演算を行なうことにより必要な出力を生成することができる。

【 0 0 2 6 】

また、請求項 4 記載の入力回路は、前記データシフト手段（例えば、図 8 にお

けるシフトレジスタ40)は、n個の段で構成され、n段目に格納されているデータを1段目にシフトするフィードバック構造を有し、前記選択手段の選択に従ってシリアルデータを入力する段を選択することを特徴とする。

【0027】

このように、フィードバックループを有することにより、シリアルデータを入力する段を選択したとしてもデータシフト手段をn段で構成することが可能である。

【0028】

また、請求項5記載の入力回路は、前記データシフト手段は、前記アドレス信号に従ってシリアルデータを入力する段を選択することで前記nビットのシリアルデータが入力されているn個の段の出力が、前記アドレスに従ったパラレルデータに変換されていることを特徴とする。

【0029】

このように、アドレス信号に従ってシリアルデータを入力する段を選択することにより、n個の段の出力をアドレスに従ったパラレルデータに変換することが可能である。

【0030】

また、請求項6記載の入力回路は、前記シリアルデータは、nビットを一単位とし、前記アドレス信号に従って各ビットのデータの出力先が決定されていることを特徴とする。

【0031】

このように、アドレス信号に従ってシリアルデータを入力する段を選択することにより、nビットを一単位として構成されるシリアルデータがデータシフト手段に入力されたとき、n個の段の出力をアドレスに従ったパラレルデータとすることが可能である。

【0032】

また、請求項7記載の入力回路は、前記データシフト手段は、前記選択手段の選択に従って制御される複数のスイッチング手段と、前記入力されるシリアルデータを格納する複数のデータ保持手段とを有し、前記複数のスイッチング手段を

制御することにより前記複数のデータ保持手段から前記シリアルデータを入力する段を選択することを特徴とする。

【 0 0 3 3 】

このように、データシフト手段はスイッチング手段とデータ保持手段とを有することにより、複数のデータ保持手段からシリアルデータを入力する段を選択することが可能である。

【 0 0 3 4 】

また、請求項 8 記載の半導体装置は、入力されるシリアルデータを n ビットの平行データに変換し、その平行データをアドレス信号に従って出力する入力回路を有する半導体装置において、前記入力されるシリアルデータを順次シフトするデータシフト手段と、前記アドレス信号に従って、シリアルデータを入力する前記データシフト手段の段を選択する選択手段とを有することを特徴とする。

【 0 0 3 5 】

このように、本発明の入力回路を半導体装置に利用することにより、回路の縮小化及びシリアル／平行変換の高速化が可能となる。

【 0 0 3 6 】

また、請求項 9 記載の半導体装置は、前記データシフト手段は、前記選択手段の選択に従って制御される複数のスイッチング手段と、前記入力されるシリアルデータを格納する複数のデータ保持手段とを有し、前記複数のスイッチング手段を制御することにより前記複数のデータ保持手段から前記シリアルデータを入力する段を選択することを特徴とする。

【 0 0 3 7 】

このように、データシフト手段はスイッチング手段とデータ保持手段とを有することにより、複数のデータ保持手段からシリアルデータを入力する段を選択することが可能である。

【 0 0 3 8 】

なお、上記括弧内の符号は理解を容易にするために付したものであり、一例にすぎない。

【 0 0 3 9 】

【発明の実施の形態】

次に、本発明の実施の形態について図面に基づいて説明する。

【 0 0 4 0 】

図 5 は、本発明の入力回路 1 の第 1 実施例の構成図を示す。図 5 の入力回路 1 は、外部から供給されるシリアルデータをパラレルデータに変換し、そのパラレルデータをアドレス信号に従ってデータバスに出力するものである。なお、入力回路 1 は 1 つのコマンド信号に対応して供給される 1 つのアドレス信号から複数のアドレス信号を生成し、そのアドレス信号に従ってパラレルデータをデータバスに出力する。

【 0 0 4 1 】

以下、アドレスの下位 2 ビットの組み合わせに対応した 4 個のアドレス信号（例えば、A 0 ～ A 3）を一組とし、入力される 4 個のデータの順番（例えば、A 2，A 3，A 0，A 1）を自動的に認識して、対応するデータバス A 0 ～ A 3 にデータを出力する場合の動作について説明する。

【 0 0 4 2 】

図 5 の入力回路 1 は、入力バッファ 1 0，入力ポイントセレクタ 1 2，シフトレジスタ 1 4，インバータ回路 1 6 ～ 2 0，及び NAND 回路 2 1 ～ 2 3 を含むように構成される。

【 0 0 4 3 】

シフトレジスタ 1 4 は、7 段（N 3，N 2，N 1，N 0，N 3'，N 2'，及び N 1'）で構成され、N 3 から N 1' 方向に入力されたデータをシフトする。なお、 2^n 個（ $n = 1, 2, 3, \dots$ ）のアドレス信号を一組とした場合、シフトレジスタ 1 4 は $[2 \times 2^n - 1]$ 段で構成されることになる。

【 0 0 4 4 】

入力ポイントセレクタ 1 2 は、入力されるアドレス信号に従って、シフトレジスタ 1 4 のデータ入力ポイントを制御するものである。例えば、ライトコマンドと共にアドレス信号 A 2 が供給された場合、入力ポイントセレクタ 1 2 は、シフトレジスタ 1 4 のデータ入力ポイントとして N 1 を選択する。

【 0 0 4 5 】

シフトレジスタ 1 4 の N 3 , N 3 ' は、N A N D 回路 2 1 に接続されており、N A N D 回路 2 1 の出力がインバータ 1 6 を介してデータバス A 3 に接続される。シフトレジスタ 1 4 の N 2 , N 2 ' は、N A N D 回路 2 2 に接続されており、N A N D 回路 2 2 の出力がインバータ 1 7 を介してデータバス A 2 に接続される。シフトレジスタ 1 4 の N 1 , N 1 ' は、N A N D 回路 2 3 に接続されており、N A N D 回路 2 3 の出力がインバータ 1 8 を介してデータバス A 1 に接続される。また、シフトレジスタ 1 4 の N 0 は、インバータ 1 9 , 2 0 を介してデータバス A 0 に接続される。

【 0 0 4 6 】

以下、このように構成された入力回路の動作について図 6 を参照しつつ説明する。図 6 は、本発明の入力回路 1 の動作を説明する一例の図を示す。

【 0 0 4 7 】

まず、図 6 (A) に示すように、ライトコマンドと共にアドレス信号 A 2 が供給される。ここで、アドレス信号 A 2 は、アドレス下位 2 ビットの組み合わせに対応したものであり、例えばアドレス下位 2 ビット (Y 1 , Y 0) の組み合わせにより表現される 4 つのアドレス信号 A 0 ~ A 3 のうちの一つである。

【 0 0 4 8 】

なお、ライトコマンドと共に供給されたアドレス信号 A 2 は、引き続き供給される 4 つのデータが A 2 , A 3 , A 0 , A 1 の順番に入力されることを示すものである。また、ライトコマンドと共に供給されるアドレス信号が A 4 である場合、引き続き供給される 4 つのデータが A 4 , A 0 , A 1 , A 2 の順番に入力されることを示す。

【 0 0 4 9 】

入力ポイントセレクタ 1 2 は、図 6 (B) に示すように、供給されたアドレス信号 A 2 に従ってシフトレジスタ 1 4 のデータ入力ポイントとして N 1 を選択する。続いて、内部クロック C L K 1 の周波数でデータが A 2 , A 3 , A 0 , A 1 の順番で入力バッファ 1 0 を介してシフトレジスタ 1 4 に供給される。

【 0 0 5 0 】

このとき、シフトレジスタ 1 4 はデータ入力ポイントが N 1 に選択されているので、図 6 (C) に示すように、入力バッファ 1 0 から供給されるデータが N 1 から連続して入力される。4 個のデータが入力されると、シフトレジスタ 1 4 の N 2' , N 3' , N 0, N 1 には、データ A 2, A 3, A 0, A 1 が格納される。なお、データが格納されていないシフトレジスタ 1 4 の N 1' , N 2, N 3 は、予め定められた値（例えば、図 5 の構成では H I G H の値）を格納しておく。

【 0 0 5 1 】

まず、シフトレジスタ 1 4 の N 0 に格納されているデータ A 0 は、インバータ 1 9, 2 0 を介してデータバス A 0 に出力される。また、シフトレジスタ 1 4 の N 1 に格納されているデータ A 1 と N 1' に格納されている値とが N A N D 回路 2 3 に供給され、インバータ 1 8 を介してデータバス A 1 に出力される。

【 0 0 5 2 】

また、シフトレジスタ 1 4 の N 2' に格納されているデータ A 2 と N 2 に格納されている値とが N A N D 回路 2 2 に供給され、インバータ 1 7 を介してデータバス A 2 に出力される。シフトレジスタ 1 4 の N 3' に格納されているデータ A 3 と N 3 に格納されている値とが N A N D 回路 2 1 に供給され、インバータ 1 6 を介してデータバス A 3 に出力される。

【 0 0 5 3 】

例えば、N 1' に H I G H の値を格納しておけば、N 1 に格納されているデータ A 1 がデータバス A 1 にそのまま出力されることになる。N 2' , N 3' に格納されているデータについても同様である。

【 0 0 5 4 】

次に、図 7 を参照しつつシフトレジスタ 1 4 の構成を更に詳細に説明する。図 7 は、シフトレジスタ 1 4 の一実施例の構成図を示す。

【 0 0 5 5 】

まず、図 6 (A) に示すように、ライトコマンドと共にアドレス信号 A 2 が供給されると、入力ポイントセクタ 1 2 はアドレス信号 A 2 に従って、シフトレジスタ 1 4 のデータ入力ポイントを N 1 に制御する信号を出力する。

【 0 0 5 6 】

具体的には、図 6 (B) に示すように、入力ポイントセクタ 1 2 は出力端子 N (A 2) から HIGH の値を出力し、その他の出力端子から LOW の値を出力する。入力ポイントセクタ 1 2 の出力端子 N (A 2) は SW 2 に接続されており、SW 2 が b 側に接続される。

【 0 0 5 7 】

SW 1, SW 3 は、出力端子 N (A 1), N (A 3) に接続されており、SW 1, SW 3 が a 側に接続される。また、SW 0 は出力端子 N (A 0) に接続されており、SW 0 が切断される。

【 0 0 5 8 】

したがって、入力バッファ 1 0 から供給されるデータは、b 側に接続されている SW 2 を介してフリップフロップ (以下、FF という。) 1 に入力される。その後、FF 1 から連続して入力されたデータ A 2, A 3, A 0, A 1 は順次シフトし、シフトレジスタ 1 4 の FF 1, FF 0, FF 3', FF 2' には、データ A 1, A 0, A 3, A 2 が格納される。なお、シフトレジスタ 1 4 は、データが格納されない FF 3, FF 2, FF 1' に SET 信号が供給されるように構成される。

【 0 0 5 9 】

このように、シフトレジスタ 1 4 は、ライトコマンドと共に供給されるアドレス信号に従ってデータ入力ポイントを選択することができ、供給されるデータに対応するデータバスに出力することが可能である。

【 0 0 6 0 】

図 8 は、本発明の入力回路 1 の第 2 実施例の構成図を示す。図 8 の入力回路 1 は、入力バッファ 1 0, 入力ポイントセクタ 1 2, シフトレジスタ 4 0, インバータ回路 4 2 ~ 4 9 を含むように構成される。

【 0 0 6 1 】

シフトレジスタ 4 0 は、4 段 (N 3, N 2, N 1, N 0) で構成され、N 3 から N 0 方向に入力されたデータをシフトする。また、N 0 までシフトされたデータは、次のシフトで N 3 にフィードバックされる。このように、シフトレジスタ 4 0 はフィードバックループを設けたことを特徴とする。なお、 2^n 個 ($n = 1$

、2、3、・・・) のアドレス信号を一組とした場合、シフトレジスタ40は 2^n 段で構成すればよい。

【0062】

入力ポイントセクタ12は、第1実施例の入力回路と同様に、入力されるアドレス信号に従って、シフトレジスタ40のデータ入力ポイントを制御する。

【0063】

シフトレジスタ40のN3、N2、N1、N0は、2段のインバータ回路を介してデータバスA3、A2、A1、A0に接続されており、格納されているデータを対応するデータバスに出力する。

【0064】

以下、このように構成された入力回路の動作について図9を参照しつつ説明する。図9は、本発明の入力回路1の動作を説明する一例の図を示す。

【0065】

まず、図9(A)に示すように、ライトコマンドと共にアドレス信号A2が供給される。入力ポイントセクタ12は、図9(B)に示すように、供給されたアドレス信号A2に従ってシフトレジスタ40のデータ入力ポイントとしてN1を選択する。続いて、内部クロックCLK1の周波数でデータがA2、A3、A0、A1の順番で入力バッファ10を介してシフトレジスタ40に供給される。

【0066】

このとき、シフトレジスタ40はデータ入力ポイントがN1に選択されているので、図9(C)に示すように、入力バッファ10から供給されるデータがN1から連続して入力される。3個のデータが入力されると、最初に入力されたデータA2がフィードバックループを介してN3にシフトされる。したがって、4個のデータが入力されると、シフトレジスタ40のN3、N2、N1、N0には、データA3、A2、A1、A0が格納される。

【0067】

なお、シフトレジスタ40のN3、N2、N1、N0に格納されているデータA3、A2、A1、A0は、図9(D)に示すように2段のインバータを介してデータバスA3、A2、A1、A0に出力される。

【 0 0 6 8 】

次に、図 1 0 を参照しつつシフトレジスタ 4 0 の構成を更に詳細に説明する。
図 1 0 は、シフトレジスタ 4 0 の一実施例の構成図を示す。

【 0 0 6 9 】

まず、図 9 (A) に示すように、ライトコマンドと共にアドレス信号 A 2 が供給されると、入力ポイントセクタ 1 2 はアドレス信号 A 2 に従って、シフトレジスタ 4 0 のデータ入力ポイントを N 1 に制御する信号を出力する。

【 0 0 7 0 】

具体的には、図 9 (B) に示すように、入力ポイントセクタ 1 2 は出力端子 N (A 2) から HIGH の値を出力し、その他の出力端子から LOW の値を出力する。入力ポイントセクタ 1 2 の出力端子 N (A 2) は SW 2 に接続されており、SW 2 が b 側に接続される。

【 0 0 7 1 】

また、入力ポイントセクタ 1 2 の出力端子 N (A 1) , N (A 0) , N (A 3) は、夫々 SW 1 , SW 0 , SW 3 に接続されており、SW 1 , SW 0 , SW 3 が a 側に接続される。

【 0 0 7 2 】

したがって、入力バッファ 1 0 から供給されるデータは、b 側に接続されている SW 2 を介して FF 1 に入力される。その後、FF 1 から連続して入力されたデータ A 2 , A 3 , A 0 , A 1 は、a 側に接続されている SW 1 , SW 0 , SW 3 を介して順次シフトされる。なお、FF 0 に格納されているデータは、フィードバックループを介して FF 3 にシフトされることになる。

【 0 0 7 3 】

このように、シフトレジスタ 4 0 は、ライトコマンドと共に供給されるアドレス信号に従ってデータ入力ポイントを選択することができ、供給されるデータに対応するデータバスに出力することが可能である。

【 0 0 7 4 】

更に、第 2 実施例の入力回路は、シフトレジスタ 4 0 内の全ての FF にデータが格納されるので、第 1 実施例で必要であった SET 信号が不要となる。その為

、第 2 実施例の入力回路は第 1 実施例の入力回路より簡単な構成で実現が可能である。

【0075】

図 1 1 は、本発明の入力回路 1 を利用する半導体装置 2 の一例の構成図を示す。

【0076】

図 1 1 の半導体装置 2 は、D e l a y e d W r i t e 方式の S D R A M (S y n c h r o n o u s D y n a m i c R A M) に本発明の入力回路 1 を適用したものである。外部から入力されるデータは、バッファ／レジスタ 5 0 を介してシリパラ変換器 5 2 (本発明の入力回路 1 に相当) に供給される。

【0077】

このシリパラ変換器 5 2 は、1 つのコマンド信号に対応して供給される 1 つのアドレス信号から複数のアドレス信号を生成し、そのアドレス信号に従ってパラレルデータをコモンデータバスに出力することが可能である。なお、図示はしていないが、シリパラ変換器 5 2 は本発明の処理に必要なアドレス信号が供給されている。

【0078】

以上のように、本発明の入力回路 1 を半導体装置 2 に適用すれば、回路を縮小することができ、供給されるデータを高速にシリアル／パラレル変換すると共に、そのパラレルデータを対応するデータバスに出力することが可能である。

【0079】

【発明の効果】

上述の如く、本発明によれば、アドレス信号に従って、データシフト手段にシリアルデータを入力する段を選択できることにより、供給されるシリアルデータをパラレルデータに変換して対応するデータバス等に出力することが可能である。

【0080】

したがって、縮小化および単純化することができ、高速化に対応することが可能な入力回路及びその入力回路を利用する半導体装置が実現できる。

【 0 0 8 1 】

【図面の簡単な説明】

【図 1】

入力回路の一例の構成図である。

【図 2】

入力回路の動作を説明する図である。

【図 3】

入力回路の他の一例の構成図である。

【図 4】

入力回路の動作を説明する図である。

【図 5】

本発明の入力回路の第 1 実施例の構成図である。

【図 6】

本発明の入力回路の動作を説明する一例の図である。

【図 7】

シフトレジスタの一実施例の構成図である。

【図 8】

本発明の入力回路の第 2 実施例の構成図である。

【図 9】

本発明の入力回路の動作を説明する一例の図である。

【図 1 0】

シフトレジスタの一実施例の構成図である。

【図 1 1】

本発明の入力回路を利用する半導体装置の一例の構成図である。

【符号の説明】

- 1 入力回路
- 1 0 入力バッファ
- 1 2 入力ポイントセクタ
- 1 4 , 4 0 シフトレジスタ

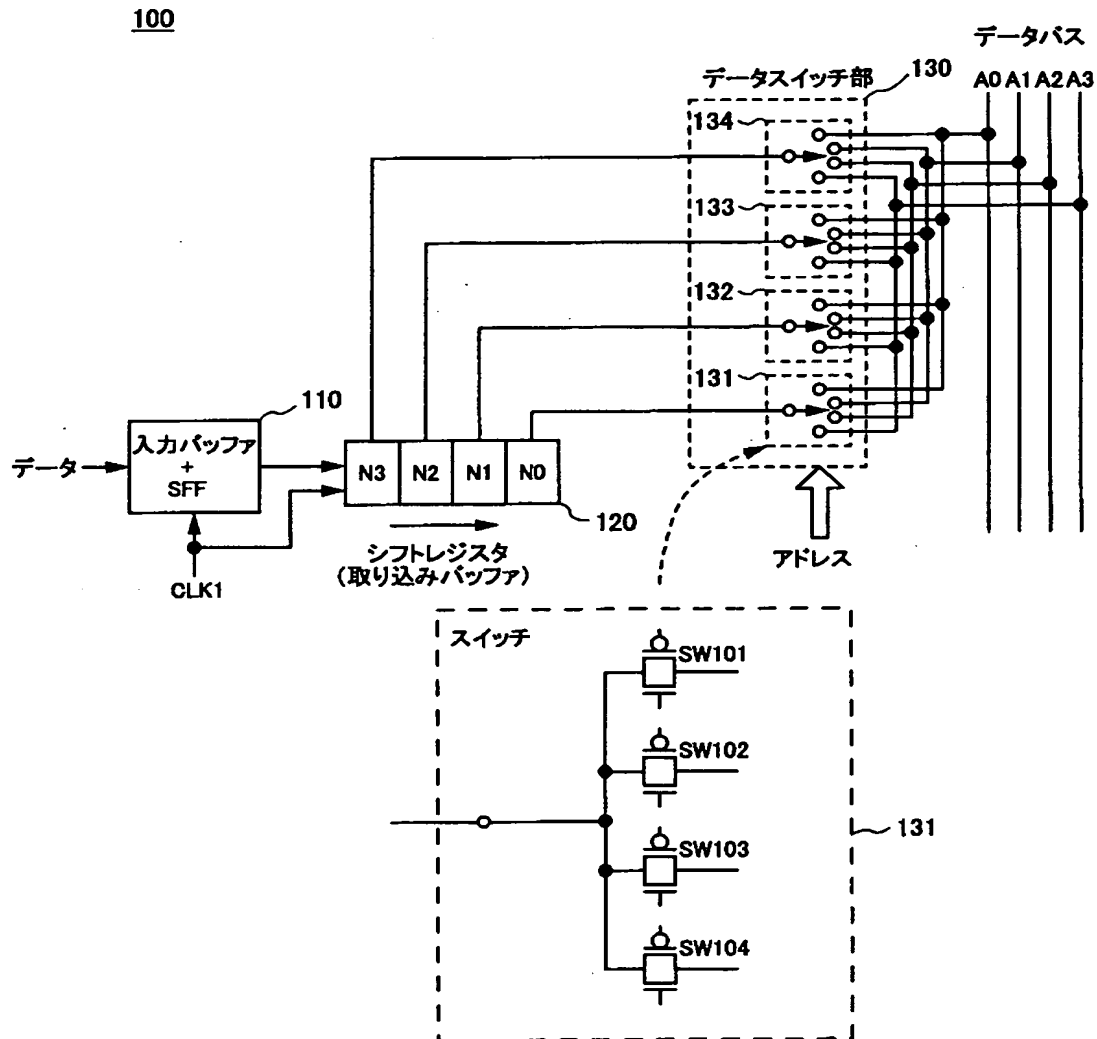
1 6 ~ 2 0 , 3 0 ~ 3 3 , 4 2 ~ 4 9 インバータ回路
2 1 ~ 2 3 NAND回路
3 4 ~ 3 7 NOR回路
5 0 バッファ／レジスタ
5 2 シリパラ変換器

【書類名】

図面

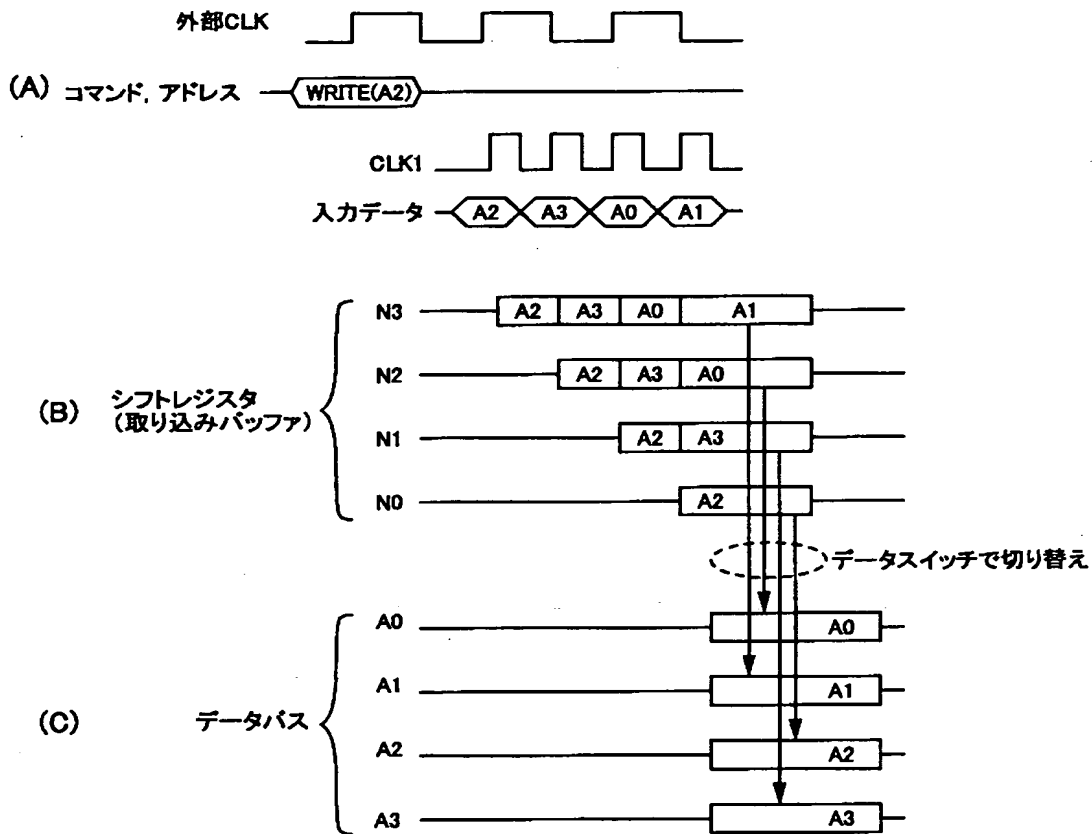
【図 1】

入力回路の一例の構成図



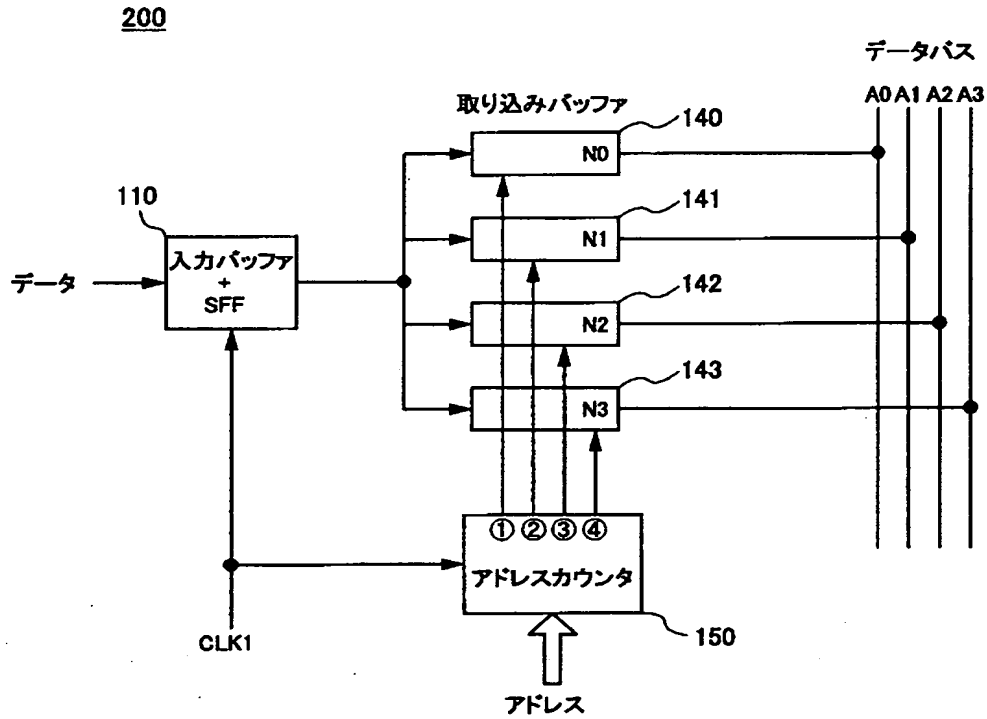
【図 2】

入力回路の動作を説明する図



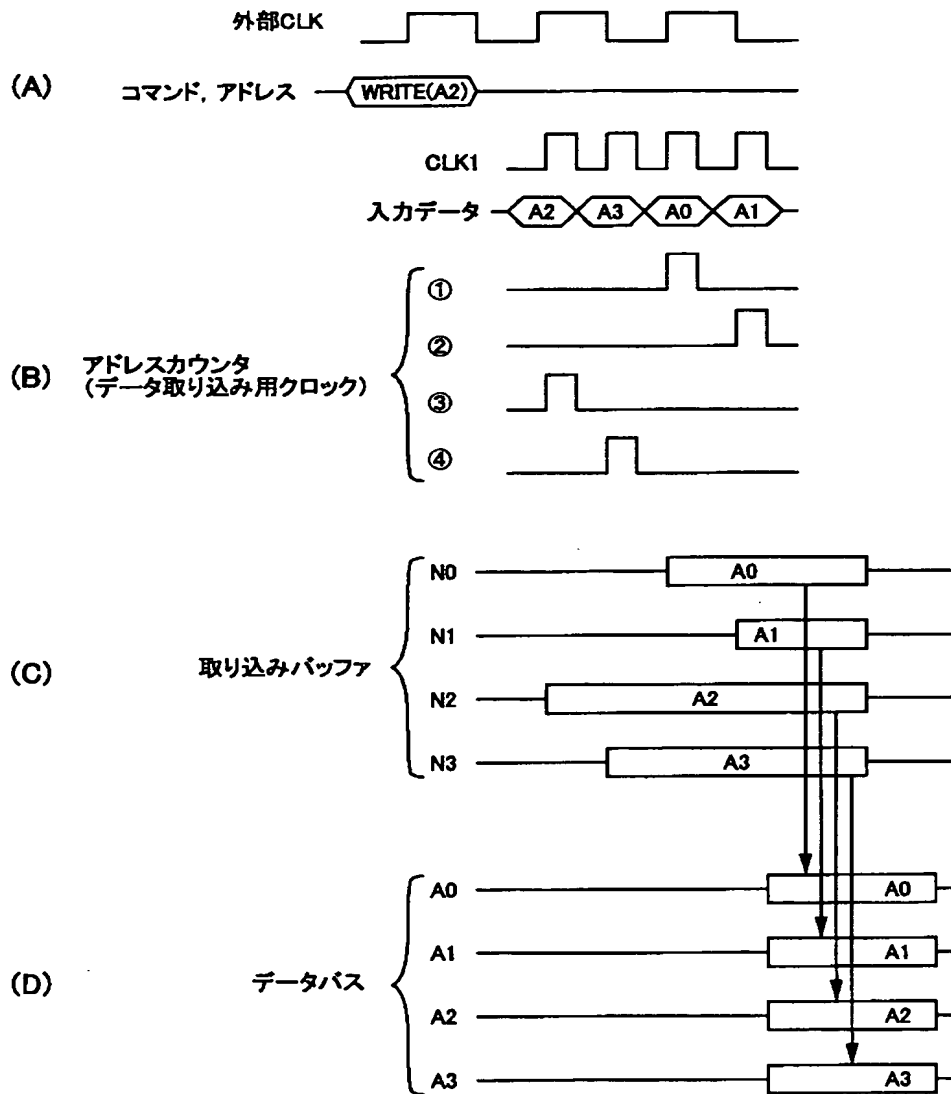
【図 3】

入力回路の他の一例の構成図



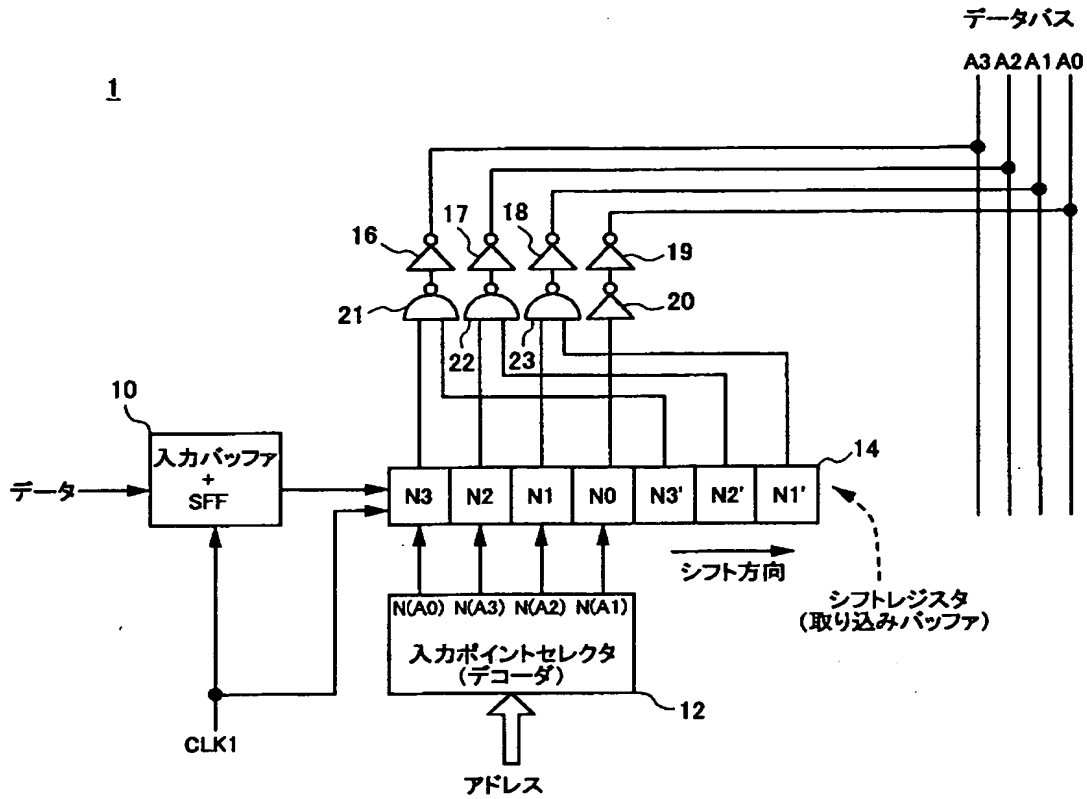
【図 4】

入力回路の動作を説明する図



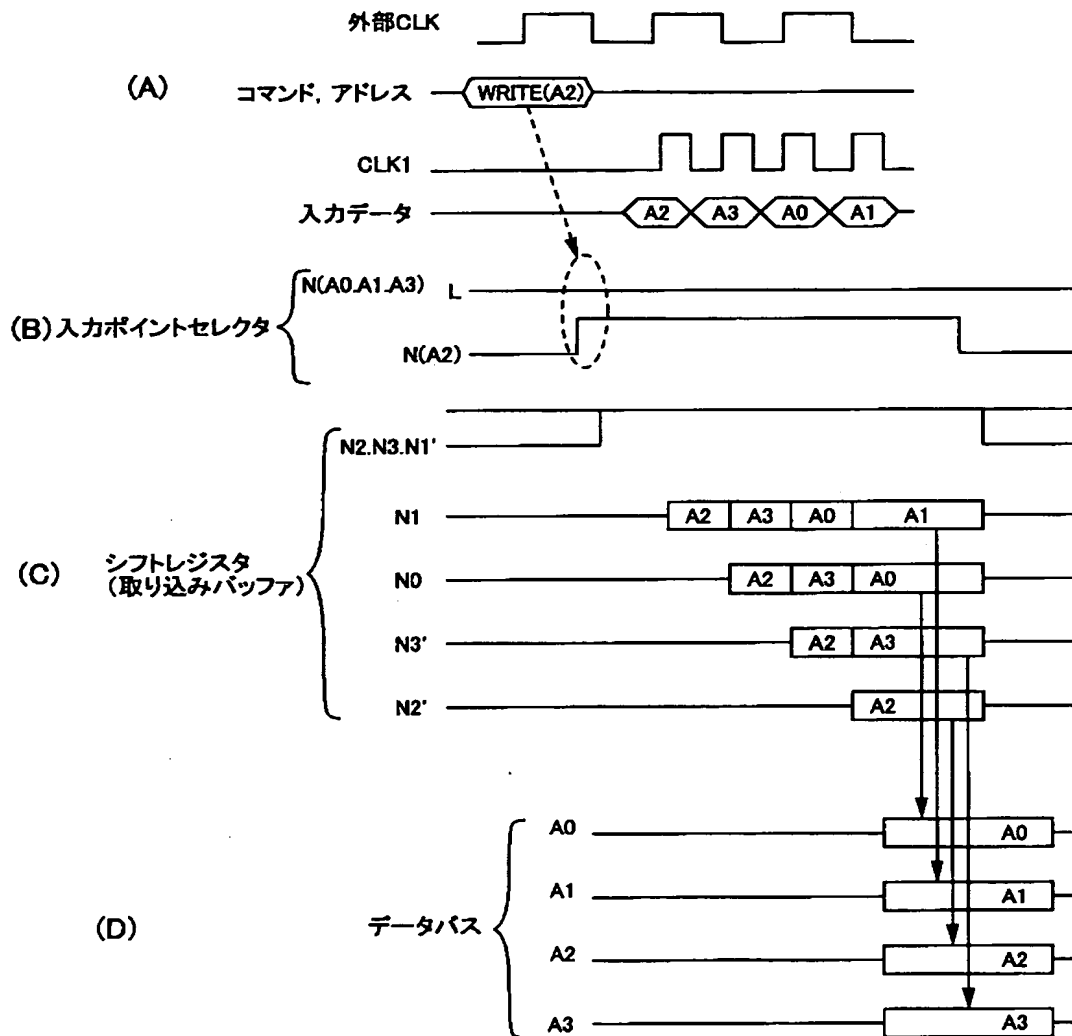
【図 5】

本発明の入力回路の第1実施例の構成図



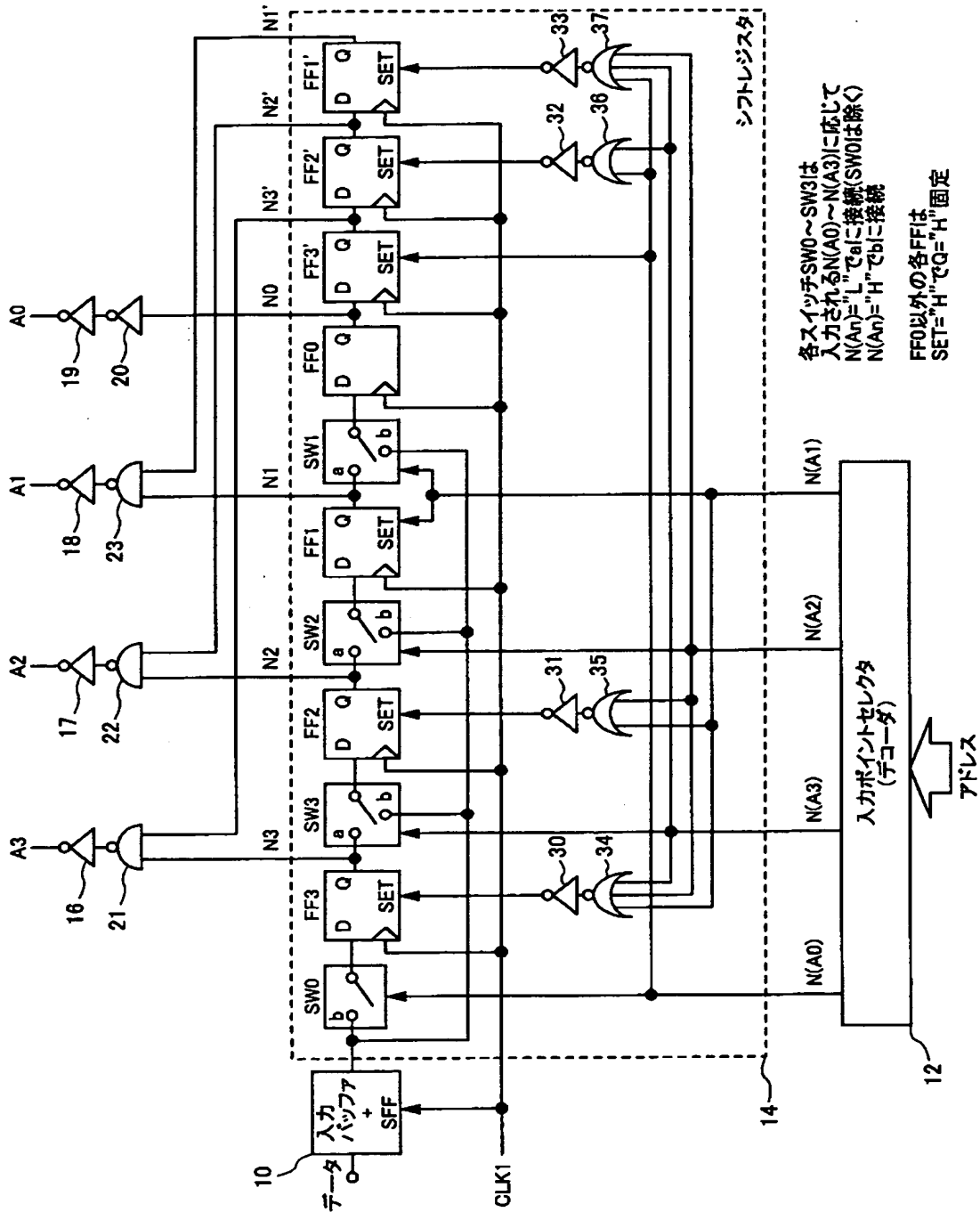
【図 6】

本発明の入力回路の動作を説明する一例の図



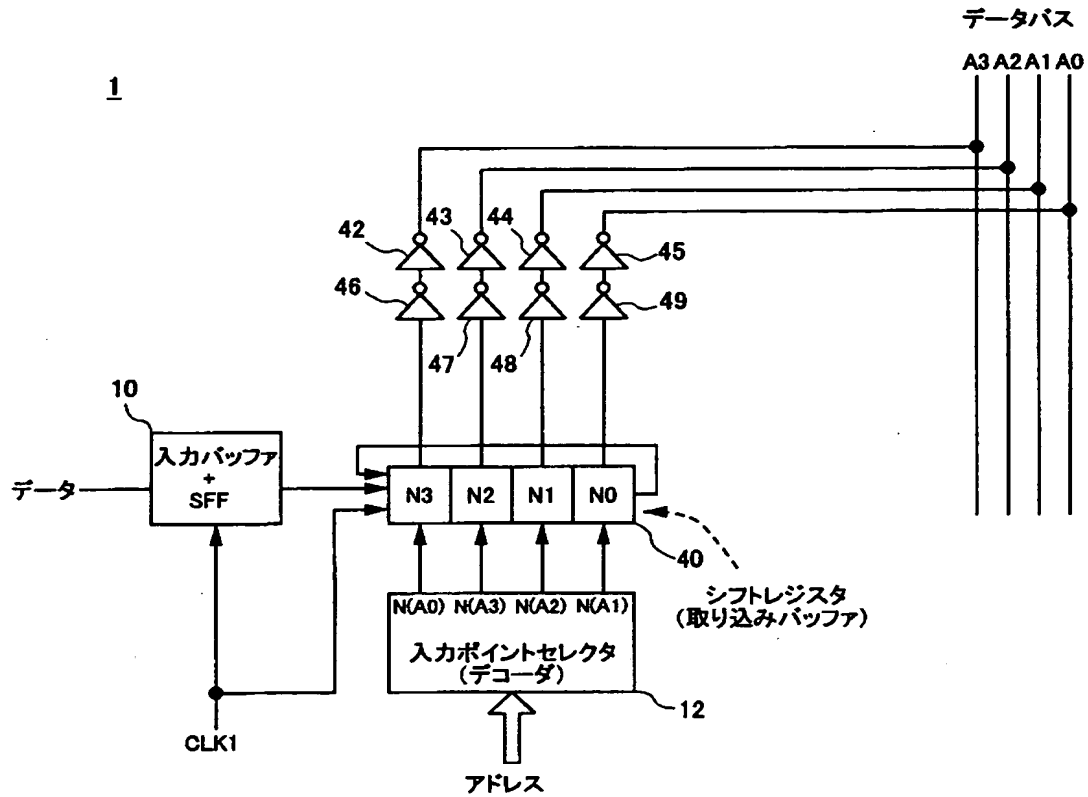
【図 7】

シフトレジスタの一実施例の構成図



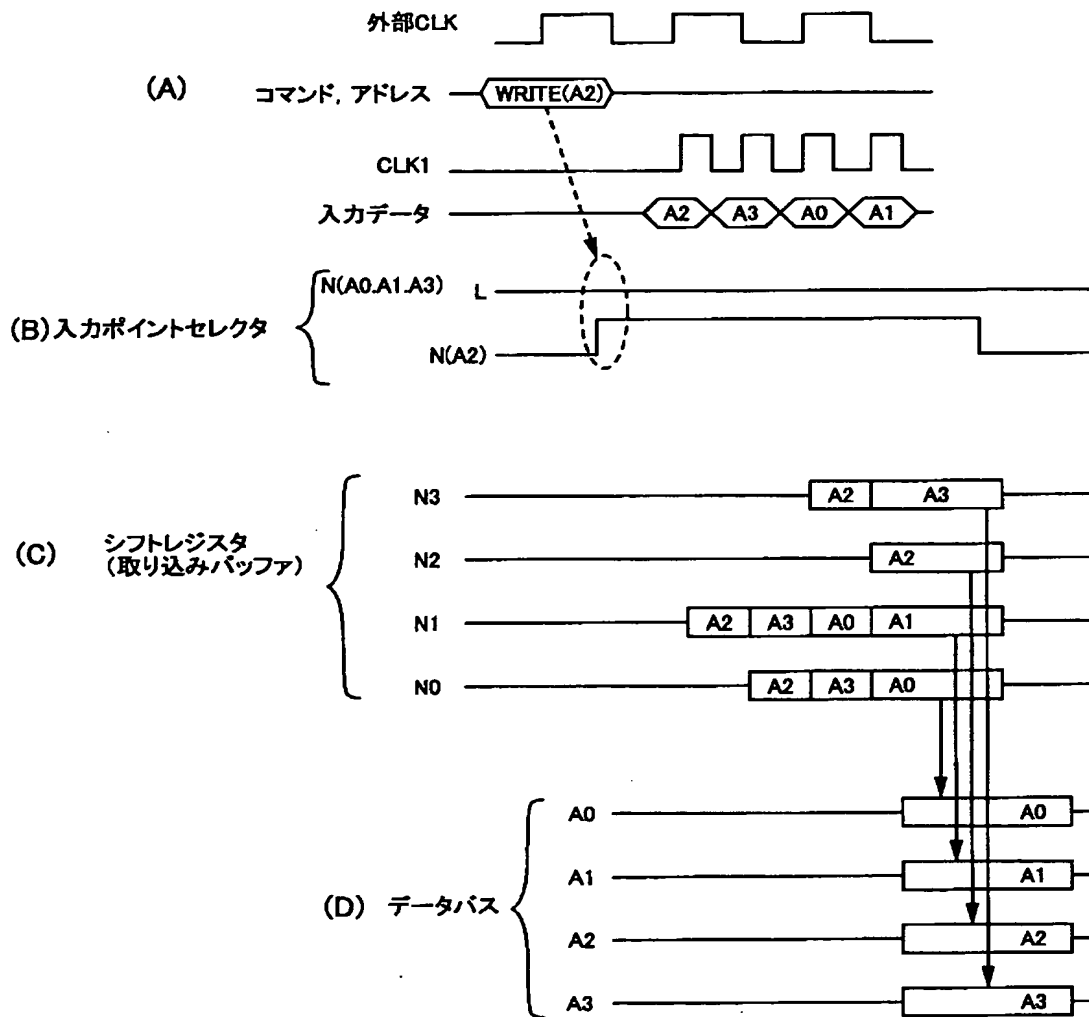
【図 8】

本発明の入力回路の第2実施例の構成図



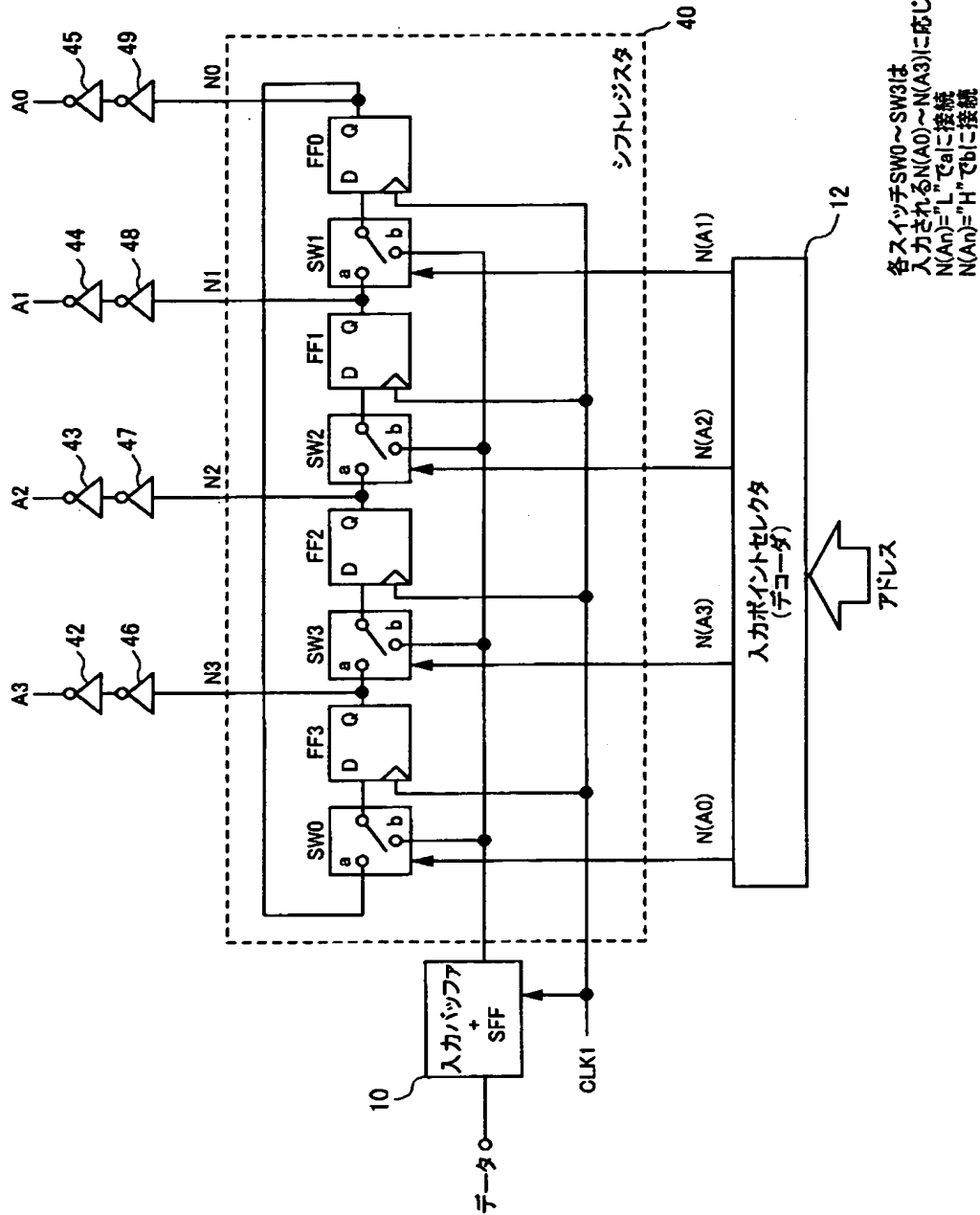
【図9】

本発明の入力回路の動作を説明する一例の図



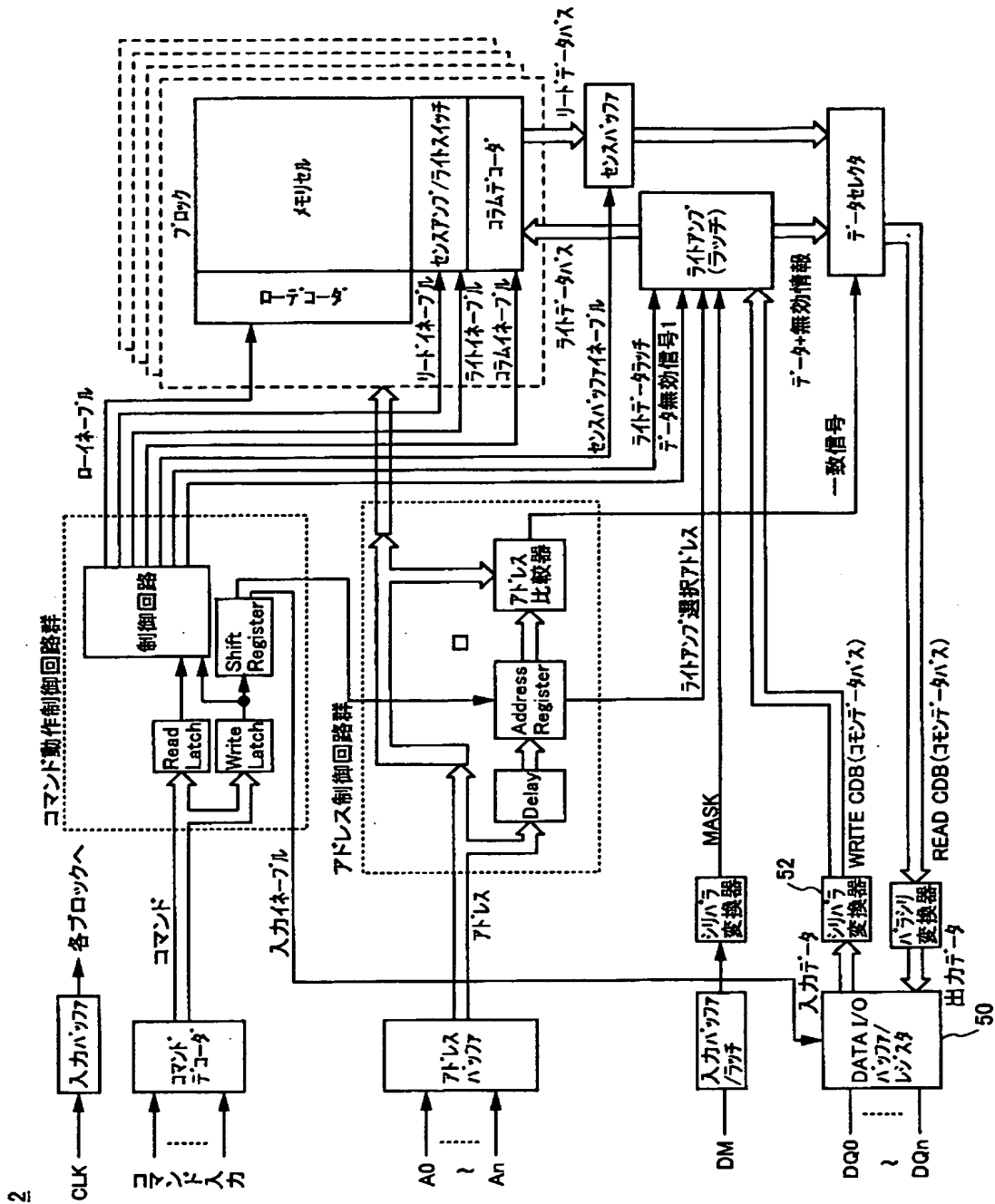
【図10】

シフトレジスタの一実施例の構成図



【図 11】

本発明の入力回路を利用する半導体装置の一例の構成図



【書類名】 要約書

【要約】

【課題】 回路を縮小且つ単純化することができ、高速化に対応することが可能な入力回路及びその入力回路を利用する半導体装置を提供することを目的とする。

【解決手段】 入力されるシリアルデータを順次シフトするデータシフト手段 1 4 と、アドレス信号に従って、シリアルデータを入力するデータシフト手段 1 4 の段を選択する選択手段 1 2 とを有することにより上記課題を解決する。

【選択図】 図 5

出 願 人 履 歴 情 報

識別番号 [0 0 0 0 0 5 2 2 3]

1. 変更年月日	1 9 9 6 年 3 月 2 6 日
[変更理由]	住所変更
住 所	神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号
氏 名	富士通株式会社